Министерство науки и высшего образования Российской Федерации

Федеральное государственное бюджетное образовательное учреждение

высшего образования

«Вятский государственный университет»

Колледж ВятГУ

**ОТЧЕТ**

**ПО ЛАБОРАТОРНОЙ РАБОТЕ №1**

**«Архитектура аппаратных средств »**

Выполнил: студент учебной группы

ИСПк-204-52-00

Кривошеин Д.В.

Преподаватель:

Коржавина А.С.

Киров

2024

**Цель работы –** закрепить на практике знания о минимизации булевых функций и получить навыки реализации комбинационных схем.

**Задание**:

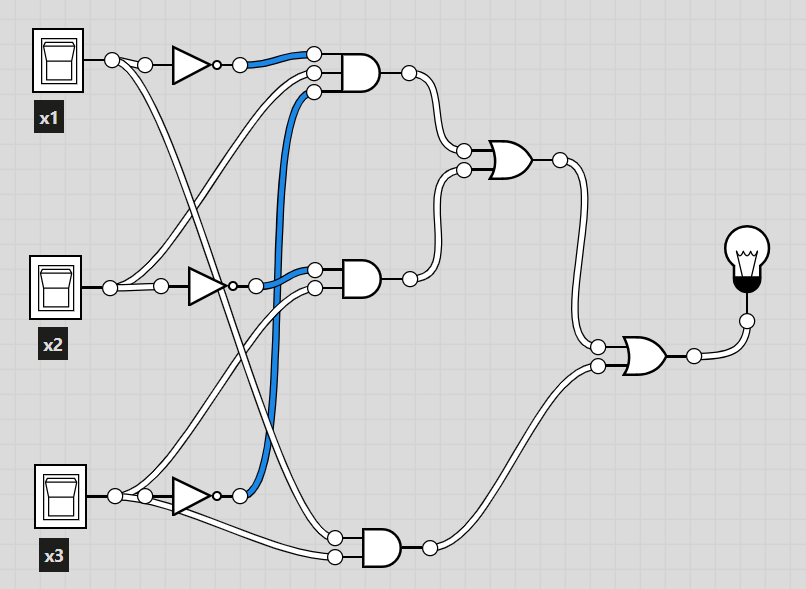
Выполнить минимизацию булевых функций в соответствии с вариантом, представить функции в основном логическом базисе (И, ИЛИ, НЕ), после чего построить схему в системе Logisim или Logic.ly и выполнить проверку.

**Результаты выполнения задания**

**Вариант №13**

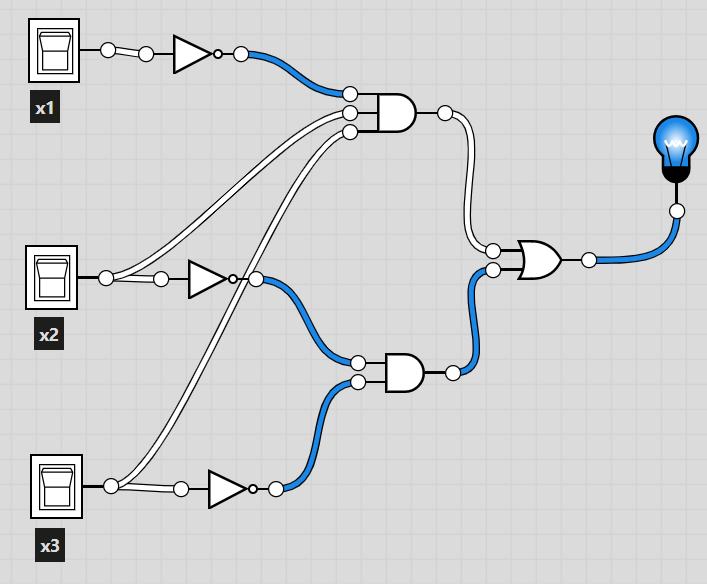
|  |  |  |  |
| --- | --- | --- | --- |
| X1 | X2 | X3 | F |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

X1 x2 x3 v x1 x2 x3 v x1 x2 x3 v x1 x2 x3 =x1 x2 x3 v x2 x3 (x1 v x1) v x1 x3 (x2 v x2) = x1 x2 x3 v x2 x3 v x1 x3;



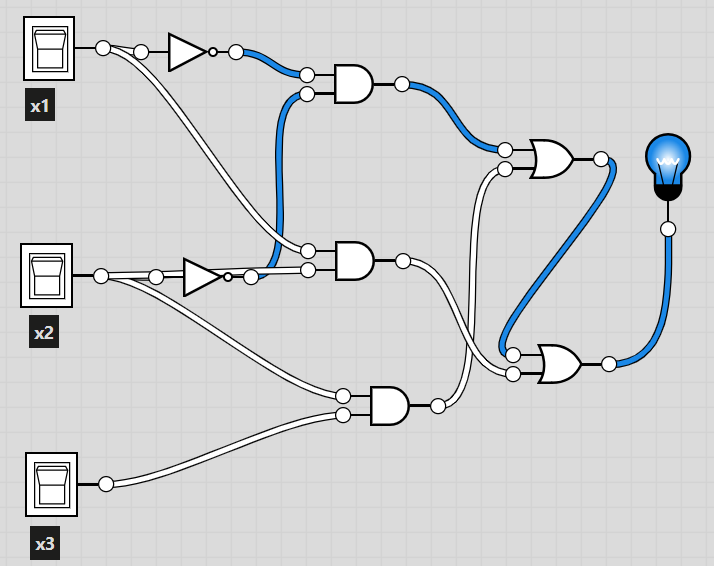
|  |  |  |  |
| --- | --- | --- | --- |
| X1 | X2 | X3 | F |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 |

X1 x2 x3 v x1 x2 x3 v x1 x2 x3 = x2 x3 (x1 v x1) v x1 x2 x3 = x2 x3 v x1 x2 x3



|  |  |  |  |
| --- | --- | --- | --- |
| X1 | X2 | X3 | F |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

X1 x2 x3 v x1 x2 x3 v x1 x2 x3 v x1 x2 x3 v x1 x2 x3 = x1 x2 (x3 v x3) v x1 x3 (x2 v x2) v x2 x3 (x1 v x1) v x1 x2(x3 v x3) = x1 x2 v x2 x3 v x1 x2;



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| X1 | X2 | X3 | X4 | F |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

X1 x2 x3 x4 V x1 x2 x3 x4 V x1 x2 x3 x4 V x1 x2 x3 x4 V x1 x2 x3 x4 V x1 x2 x3 x4 V x1 x2 x3 x4 V x1 x2 x3 x4 = x1 x2 x3 (x4 v x4) v x1 x3 x4 (x2 v x2) v x2 x3 x4 (x1 v x1) v x2 x3 x4 (x1 v x1) v x1 x2 x4 (x3 v x3) v x2 x3 x4 (x1 v x1) v x1 x2 x3 (x4 v x4) = x1 x2 x3 v x1 x3 x4 v x2 x3 x4 v x2 x3 x4 v x1 x2 x4 v x2 x3 x4 v x1 x2 x3 v x1 x2 x3 x4= x2 x3 (x1 v x1) v x2 x3 (x4 v x4) v x3 x4 (x2 v x2) v x1 x3 x4 v x1 x2 x4 v x2 x3 x4 v x1 x2 x3 x4 = x2 x3 v x3 x4 v x1 x2 x4 v x1 x2 x3 x4;

